

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Akira YAMANOUE et al.**

Serial Number: **Not Yet Assigned**

Filed: **September 30, 2003**

Customer No.: 23850

For: **METHOD FOR FABRICATING SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

September 30, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

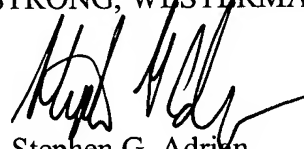
Japanese Appln. No. 2002-317326, filed on October 31, 2002.

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 031736
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/yap



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 1 日
Date of Application:

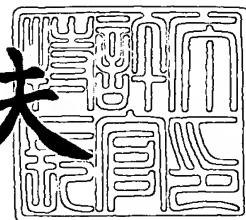
出 願 番 号 特 願 2 0 0 2 - 3 1 7 3 2 6
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 7 3 2 6]

出 願 人 富 士 通 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 7 月 2 2 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 5 7 8 7 1

【書類名】 特許願

【整理番号】 0241367

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/266

【発明の名称】 半導体装置の製造方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 山上 朗

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 関野 聡

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に、半導体膜を形成する工程と、
前記半導体膜の所定の領域に、ドーパント不純物を導入する工程と、
前記半導体膜をパターンングすることにより、前記ドーパント不純物が導入された前記半導体膜からなる抵抗素子と、前記ドーパント不純物が導入されていない前記半導体膜からなるゲート電極とを形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、
前記ゲート電極を形成する工程の後に、前記ゲート電極にドーパント不純物を導入する工程を更に有する
ことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、
前記ゲート電極に前記ドーパント不純物を導入する工程では、前記ゲート電極の両側の前記半導体基板内に、前記ドーパント不純物を導入することにより不純物拡散領域を形成する
ことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 2 又は 3 記載の半導体装置の製造方法において、
前記ゲート電極を形成する工程では、第 1 のゲート電極と、第 2 のゲート電極とを形成し、
前記ゲート電極に前記ドーパント不純物を導入する工程では、前記第 1 のゲート電極には第 1 導電型のドーパント不純物を導入し、前記第 2 のゲート電極には第 2 導電型のドーパント不純物を導入する
ことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法において、

前記半導体膜に前記ドーパント不純物を導入する工程では、前記所定の領域内の複数の領域に異なる濃度で前記ドーパント不純物をそれぞれ導入し、抵抗値の

異なる複数の前記抵抗素子を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記ゲート電極を形成する工程の後に、前記ゲート電極及び前記抵抗素子を覆う絶縁膜を形成する工程と、

前記絶縁膜をエッチングすることにより、前記抵抗素子上に前記絶縁膜を残存するとともに、前記ゲート電極の側面にサイドウォール絶縁膜を形成する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、

前記サイドウォール絶縁膜を形成する工程の後に、前記ゲート電極が形成された半導体基板上に金属膜を形成し、前記金属膜を熱処理してシリサイド化することにより、前記ゲート電極上及び前記ゲート電極の両側の前記半導体基板上にシリサイド膜を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法において、

前記半導体膜にドーパント不純物を導入する工程では、前記ドーパント不純物を $1 \times 10^{15} \text{ cm}^{-2}$ 以上のドーズ量でイオン注入する

ことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法において、

前記半導体膜を形成する工程では、ポリシリコン又はアモルファスシリコンからなる前記半導体膜を形成する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特に、トランジスタとともに抵抗素子を有する半導体装置の製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体装置においてアナログ回路等に使用されている素子の一つとして、ポリシリコンからなる抵抗素子がある。通常、ポリシリコンからなる抵抗素子は、ゲート電極を形成するためのポリシリコン膜を用いて、ゲート電極の形成と同時に形成されている。ポリシリコンからなる抵抗素子の抵抗値は、一般的に、ドーパント不純物のイオン注入により必要に応じて調整されている。

【0 0 0 3】

一方、ロジックデバイスでは、トランジスタのゲート電極やソース／ドレイン領域をシリサイド化するのが一般的である。そこで、トランジスタとともに抵抗素子を形成する場合には、抵抗素子のシリサイド化を防止するため、ゲート電極等のシリサイド化工程の前に、抵抗素子をシリコン酸化膜で被覆するシリサイドブロックが行われている。

【0 0 0 4】

シリサイドブロックでは抵抗素子をシリコン酸化膜で被覆するため、トランジスタとともに抵抗素子を形成する場合、シリサイドブロックを行う前に、抵抗素子の抵抗値を調整するためのイオン注入を行う必要がある。

【0 0 0 5】

従来、かかる抵抗素子の抵抗値を調整するためのイオン注入は、ゲート電極及び抵抗素子の加工前に行われていた（例えば特許文献 1 乃至 4 を参照）。

【0 0 0 6】

まず、半導体基板上に、ゲート電極及び抵抗素子を形成するためのポリシリコン膜を形成する。

【0 0 0 7】

次いで、ポリシリコン膜のゲート電極形成予定領域及び抵抗素子形成予定領域にそれぞれドーパント不純物をイオン注入する。

【0 0 0 8】

次いで、ポリシリコン膜をエッチングすることにより、ゲート電極及び抵抗素子を形成する。

【0 0 0 9】

以後、通常の半導体製造プロセスによりトランジスタのソース／ドレイン等が形成され、トランジスタとともに抵抗素子が形成される。

【0 0 1 0】

【特許文献 1】

特開 2 0 0 1 - 7 2 2 0 号公報

【特許文献 2】

特開平 8 - 1 4 8 6 4 9 号公報

【特許文献 3】

特開平 1 0 - 1 5 0 1 5 4 号公報

【特許文献 4】

特開 2 0 0 1 - 1 6 8 2 8 1 号公報

【0 0 1 1】

【発明が解決しようとする課題】

上述のように、従来トランジスタとともに抵抗素子を形成する場合、ゲート電極を形成する前に、ポリシリコン膜のトランジスタ形成予定領域及び抵抗素子形成予定領域へのドーピングを行っている。

【0 0 1 2】

しかしながら、CMOS トランジスタを形成する場合に、n 型及び p 型のドーピングを行うと、n 型のドーピングを行った領域と p 型のドーピングを行った領域とで、ポリシリコン膜のエッチング機構が異なった影響を受ける。このため、微細な CMOS トランジスタを形成する場合、n 型ゲート電極と p 型ゲート電極とを同一の形状で加工することが困難であった。

【0 0 1 3】

本発明の目的は、同一基板上に形成するトランジスタの特性への影響を抑制しつつ、抵抗素子を形成しうる半導体装置の製造方法を提供することにある。

【0 0 1 4】

【課題を解決するための手段】

上記目的は、半導体基板上に、半導体膜を形成する工程と、前記半導体膜の所定の領域に、ドーパント不純物を導入する工程と、前記半導体膜をパターンニングすることにより、前記ドーパント不純物が導入された前記半導体膜からなる抵抗素子と、前記ドーパント不純物が導入されていない前記半導体膜からなるゲート電極とを形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0015】**【発明の実施の形態】**

本発明の一実施形態による半導体装置の製造方法について図1乃至図8を用いて説明する。

【0016】

従来の技術においては、上述したように、ゲート電極を形成する前にポリシリコン膜のトランジスタ形成予定領域及び抵抗素子形成予定領域に対してドーパント不純物のイオン注入を行う場合、n型ゲート電極とp型ゲート電極とを同一の形状で加工することが困難であった。

【0017】

かかるゲート加工時の不都合を回避する方法としては、ゲート電極及び抵抗素子の加工後にイオン注入を行うことが考えられる。ポリシリコン膜の加工後に抵抗素子へのイオン注入を行う場合、トランジスタ形成予定領域には、イオン注入用マスクとしてレジスト膜を形成する必要がある。そして、このレジスト膜は、抵抗素子の抵抗値を調整するためのイオン注入を行った後に剥離する必要がある。

【0018】

しかしながら、このゲート電極が形成されたトランジスタ形成予定領域を覆うレジスト膜の剥離は、以下に述べるように、トランジスタ特性の低下の要因の一つとなる。通常、レジスト膜の剥離には、アッシング処理や硫酸過水、アンモニア過水を用いたウェット処理が用いられる。このアッシング処理やウェット処理により、トランジスタ領域のシリコン基板表面が後退してしまう。

【 0 0 1 9 】

図 1 は、レジスト膜の剥離後のゲート電極周辺の様子を観察した透過型電子顕微鏡写真を示す図である。図 1 に示す透過型顕微鏡写真から明らかなように、ゲート電極両側のシリコン基板表面がレジスト膜の剥離工程で後退している。

【 0 0 2 0 】

レジスト膜の剥離工程におけるシリコン基板表面の後退量は、数 nm 程度と僅かではある。しかしながら、素子の微細化とともにソース／ドレイン領域も極めて浅くなっており、シリコン基板表面の後退がソース／ドレイン領域のプロファイルに影響を与え、トランジスタ特性のばらつきや特性劣化を引き起こす原因となる。

【 0 0 2 1 】

また、抵抗素子は、必ずしもトランジスタとともに形成しなければならない素子ではない。このため、トランジスタとともに抵抗素子を形成する場合としない場合との間で、或いはトランジスタとともに形成する抵抗素子数によって、レジスト膜を剥離するためのアッシング処理等の回数が変化し、トランジスタ特性のばらつきが生じることが想定される。

【 0 0 2 2 】

したがって、上述のように、単にゲート電極の加工後にドーパント不純物を抵抗素子にイオン注入した場合には、ゲート電極を同一形状にパターンニングすることができたとしても、ゲート電極周辺のシリコン基板表面の後退によるトランジスタ特性の低下という新たな弊害が生じると考えられる。

【 0 0 2 3 】

本実施形態による半導体装置の製造方法は、ゲート電極周辺のシリコン基板表面の後退によるトランジスタ特性の劣化をも回避し、同一基板上に形成するトランジスタの特性への影響を抑制しつつ抵抗素子を形成することを可能にするものである。以下、本実施形態による半導体装置の製造方法について図 2 乃至図 8 を用いて詳述する。図 2 乃至図 8 は本実施形態による半導体装置の製造方法を示す工程断面図である。なお、本実施形態では、CMOS トランジスタとともに抵抗素子を有する半導体装置を製造する場合について説明する。

【0024】

まず、例えばSTI (Shallow Trench Isolation) 法により、シリコン基板10に、活性領域を画定する素子分離膜12を形成する(図2(a)を参照)。

【0025】

次いで、全面に、例えばスピコート法により、レジスト膜14を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜14をパターニングすることにより、活性領域のNMOSトランジスタ形成予定領域16を露出する開口部18をレジスト膜14に形成する。

【0026】

次いで、レジスト膜14をマスクとしてドーパント不純物としてB(ボロン)をイオン注入し、NMOSトランジスタ形成予定領域16にp型ウェル20を形成する(図2(b)を参照)。

【0027】

p型ウェル20の形成終了後、イオン注入のマスクとして用いたレジスト膜14を剥離する。

【0028】

次いで、全面に、例えばスピコート法により、レジスト膜22を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜22をパターニングすることにより、活性領域のPMOSトランジスタ形成予定領域24を露出する開口部26をレジスト膜22に形成する。

【0029】

次いで、レジスト膜22をマスクとして、ドーパント不純物としてP(リン)をイオン注入し、PMOSトランジスタ形成予定領域24にn型ウェル28を形成する(図2(c)を参照)。

【0030】

n型ウェル28の形成終了後、イオン注入のマスクとして用いたレジスト膜22を剥離する。

【0031】

シリコン基板10にp型ウェル20及びn型ウェル28を形成した後、例えば

R T A (Rapid Thermal Annealing) 法を用いた表面の酸化により、シリコン基板 10 の活性領域に、シリコン酸化膜からなる例えば膜厚 1.1 nm のゲート絶縁膜 30 を形成する (図 3 (a) を参照)。

【0032】

次いで、全面に、例えば C V D 法により、例えば膜厚 100 nm のポリシリコン膜 32 を形成する。ここで、ポリシリコン膜 32 は、アモルファスシリコン膜を形成し、熱処理によりアモルファスシリコン膜を結晶化することにより形成してもよい。

【0033】

次いで、全面に、例えばスピコート法により、レジスト膜 34 を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜 34 をパターンニングすることにより、素子分離膜 12 上の抵抗素子形成予定領域 36 を露出する開口部 38 をレジスト膜 34 に形成する。

【0034】

次いで、レジスト膜をマスクとして、ドーパント不純物として B をイオン注入し、抵抗素子形成予定領域 36 のポリシリコン膜 32 に B を導入する (図 3 (b) を参照)。イオン注入の条件は、例えばイオンの加速エネルギーを 5 keV とし、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ とすることができる。これにより、CMOS トランジスタとともに形成する抵抗素子の抵抗値が調整される。このときのドーパント不純物の種類やドーズ量等のイオン注入の条件を適宜設定することにより、抵抗素子の抵抗値を所望の値に設定することができる。

【0035】

次いで、アッシング処理、硫酸過水処理、及びアンモニア過水処理を順次行うことにより、イオン注入のマスクとして用いたレジスト膜 34 を剥離する。アッシング処理の条件としては、例えばアッシングガスを O_2 、 CF_4 、 N_2 、及び H_2 の混合ガスとし、パワーを 1 kW、処理時間を 60 秒とする。また、硫酸過水処理、アンモニア過水処理の条件は、例えばそれぞれ処理時間をともに 600 秒とする。

【0036】

このように、本実施形態による半導体装置の製造方法では、抵抗素子とともに形成するトランジスタのゲート電極をパターンニングする前に、レジスト膜34をマスクとして抵抗素子形成予定領域36のポリシリコン膜32に抵抗値を調整するためのイオン注入を行うことに主たる特徴の一つがある。

【0037】

抵抗素子の抵抗値を調整するためのイオン注入をゲート電極のパターンニング後に行うとすると、マスクとして用いるレジスト膜をゲート電極がパターンニングされたトランジスタ形成予定領域に形成する必要がある。このため、イオン注入後に、マスクとして用いたレジスト膜を、アッシング処理や、硫酸過水、アンモニア過水を用いたウェット処理により剥離する必要がある。しかしながら、このレジスト膜を剥離するためのアッシング処理やウェット処理により、マスクとして用いたレジスト膜のみならず、図1に示すように、エクステンションソース／ドレインのエクステンション領域となる領域等の、ゲート電極で覆われていないシリコン基板表面が後退してしまっていた。

【0038】

これに対し、本実施形態による半導体装置の製造方法では、上述のように、トランジスタのゲート電極をパターンニングする前に、レジスト膜34をマスクとして抵抗素子形成予定領域36のポリシリコン膜32に抵抗値を調整するためのイオン注入を行う。これにより、抵抗素子の抵抗値を調整するためのイオン注入後のレジスト剥離の際に、エクステンションソース／ドレインのエクステンション領域となる領域等のシリコン基板表面が後退することはない。特に、抵抗素子の抵抗値を調整するためのイオン注入を例えば $1 \times 10^{15} \text{ cm}^{-2}$ 以上の高いドーパ量で行い、マスクとして用いたレジスト膜を剥離するために、アッシング処理やウェット処理を長時間行う必要がある場合であっても、シリコン基板表面が後退することはない。したがって、トランジスタとともに抵抗素子を形成する場合に、エクステンション領域のシリコン基板表面の後退を抑制することができる。これにより、以下の効果を得ることができる。

【0039】

まず、抵抗素子とともに形成するトランジスタのエクステンション領域のイオ

ン注入深さを浅くすることができ、ドーパント不純物のゲート下への回り込みを抑制することができ、実効チャンネル長の短縮を抑制することができる。

【0040】

また、エクステンション領域とトランジスタのゲートとの境界における強電界の発生を抑制し、ホットキャリアの発生を抑制することができる。

【0041】

さらに、エクステンション領域のイオン注入の際に、エクステンション領域とトランジスタのゲートとの境界にイオンが集中するパンチスルーの発生を抑制することができる。

【0042】

上述のようにしてマスクとして用いたレジスト膜34を剥離した後、例えばCVD法により、ポリシリコン膜32上に、例えば膜厚30nmのシリコン酸化膜40を形成する(図3(c)を参照)。

【0043】

次いで、例えばスピコート法により、シリコン酸化膜40上にレジスト膜42を形成する。この後、フォトリソグラフィ技術を用いてゲート電極及び抵抗素子形成予定領域上にレジスト膜42を残存させる(図4(a)を参照)。

【0044】

次いで、例えばRIE(Reactive Ion Etching)法により、レジスト膜42をマスクとして、ハードマスクとして用いるシリコン酸化膜40をパターンニングする(図4(b)を参照)。

【0045】

次いで、例えばRIE法により、レジスト膜42及びシリコン酸化膜40をマスクとしてポリシリコン膜32をパターンニングすることにより、ポリシリコン膜32からなるゲート電極44a、44b、及び抵抗素子46を形成する(図4(c)を参照)。

【0046】

本実施形態による半導体装置の製造方法は、NMOSトランジスタ形成予定領域16及びPMOSトランジスタ形成予定領域24のポリシリコン膜32にドー

パント不純物をイオン注入する前に、ゲート電極 44 a、44 b を形成することにも主たる特徴の一つがある。これにより、ゲート電極 44 a、44 b をパターンニングする際に、NMOS トランジスタ形成予定領域 16 と PMOS トランジスタ形成予定領域 24 とでポリシリコン膜 32 のエッチング機構に差はなく、NMOS 及び PMOS トランジスタのゲート電極を容易に同一形状に形成することができる。

【0047】

ゲート電極 44 a、44 b、及び抵抗素子 46 の形成終了後、エッチングマスクとして用いたレジスト膜 42 及びシリコン酸化膜 40 を除去する。

【0048】

次いで、全面に、例えばスピコート法により、レジスト膜 48 を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜 48 をパターンニングすることにより、NMOS トランジスタ形成予定領域 16 を露出する開口部 50 をレジスト膜 48 に形成する。

【0049】

次いで、ゲート電極 44 a 及びレジスト膜 48 をマスクとして、ドーパント不純物として As (砒素) をイオン注入する。これにより、シリコン基板 10 内に、ゲート電極 44 a に自己整合で、エクステンションソース／ドレインの浅い領域を構成するエクステンション領域 52 a が形成される (図 5 (a) を参照)。イオン注入の条件としては、例えば、イオンの加速エネルギーを 3.0 keV、ドーズ量を $1.0 \times 10^{15} \text{ cm}^{-2}$ とすることができる。このとき同時にゲート電極 44 a にもドーパント不純物が導入される。

【0050】

エクステンション領域 52 a の形成終了後、アッシング処理、硫酸過水処理、及びアンモニア過水処理を順次行うことにより、イオン注入のマスクとして用いたレジスト膜 48 を剥離する。アッシング処理の条件としては、例えばアッシングガスを O_2 、 CF_4 、 N_2 、及び H_2 の混合ガスとし、パワーを 1 kW、処理時間を 30 秒とする。また、硫酸過水処理、アンモニア過水処理の条件は、例えばそれぞれ処理時間を 600 秒、300 秒とする。ここでのレジスト膜 48 を剥離す

るためのアッシング処理、硫酸過水処理、及びアンモニア過水処理等の処理は、エクステンション領域52aのイオン注入の条件により、抵抗素子の抵抗値を調整するためのイオン注入のマスクとして用いたレジスト膜34の剥離の際よりも短時間で行うことができる。

【0051】

次いで、全面に、例えばスピコート法により、レジスト膜54を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜54をパターニングすることにより、PMOSトランジスタ形成予定領域24を露出する開口部56をレジスト膜54に形成する。

【0052】

次いで、ゲート電極44b及びレジスト膜54をマスクとして、ドーパント不純物としてBをイオン注入する。これにより、シリコン基板10内に、ゲート電極16に自己整合で、エクステンションソース／ドレインの浅い領域を構成するエクステンション領域58aが形成される（図5（b）を参照）。イオン注入の条件としては、例えば、イオンの加速エネルギーを0.3keV、ドーズ量を $1.0 \times 10^{15} \text{ cm}^{-2}$ とすることができる。このとき同時にゲート電極44bにもドーパント不純物が導入される。

【0053】

エクステンション領域58aの形成終了後、アッシング処理、硫酸過水処理、及びアンモニア過水処理を順次行うことにより、イオン注入のマスクとして用いたレジスト膜54を剥離する。アッシング処理の条件は、レジスト膜48の剥離の場合と同様に、抵抗素子の抵抗値を調整するためのイオン注入のマスクとして用いたレジスト膜34の剥離の際よりも、短時間で行うことができる。

【0054】

次いで、全面に、例えばCVD法より、例えば膜厚30nmのシリコン酸化膜60を形成する。シリコン酸化膜60の成膜条件は、例えば、原料ガスとしてTEOS（tetraethoxysilane）を用い、成膜炉内の圧力を0.1～0.4Torr、温度を570～640℃、TEOSの流量を200～400sccm、O₂の流量を2～30sccmとすることができる。

【0055】

次いで、全面に、例えばCVD法により、例えば膜厚800nmのシリコン窒化膜62を形成する(図5(c)を参照)。シリコン窒化膜62の成膜条件は、例えば、原料ガスとしてDCS(dichlorosilane)、NH₃を用い、成膜炉内の圧力を0.1~0.4Torr、温度を650~750℃、DCSの流量を50~200sccm、NH₃の流量を200~1000sccmとすることができる。

【0056】

次いで、全面に、例えばスピコート法により、レジスト膜64を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜64をパターンニングすることにより、抵抗素子46上及びその周辺を覆うようにレジスト膜64を残存させる(図6(a)を参照)。

次いで、例えばRIE法により、レジスト膜64をマスクとして、シリコン窒化膜62及びシリコン酸化膜60を異方性エッチングする。これにより、ゲート電極44a、44bの側壁に、シリコン酸化膜60及びシリコン窒化膜62からなるサイドウォール絶縁膜66が形成される。一方、レジスト膜64によりマスクされているため、抵抗素子46は、シリコン酸化膜60及びシリコン窒化膜64に被覆された状態となる(図6(b)を参照)。こうして抵抗素子46をシリコン酸化膜60及びシリコン窒化膜64で被覆することにより、後述するシリサイドプロセスにおいてシリサイド化反応から抵抗素子46が保護される。

【0057】

サイドウォール絶縁膜66の形成終了後、エッチングマスクとして用いたレジスト膜64を剥離する。

【0058】

次いで、全面に、例えばスピコート法により、レジスト膜68を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜68をパターンニングすることにより、NMOSトランジスタ形成予定領域16を露出する開口部70をレジスト膜68に形成する。

【0059】

次いで、ゲート電極 44a 及びサイドウォール絶縁膜 66 をマスクとして、ドーパント不純物として P をイオン注入する。これにより、ゲート電極 44a にドーパント不純物が導入され、また、ソース／ドレインの深い領域を構成する不純物拡散領域 52b が形成される（図 6（c）を参照）。イオン注入の条件は、例えば、イオンの加速エネルギーを 6 keV、ドーズ量を $8 \times 10^{15} \text{ cm}^{-2}$ とすることができる。

【0060】

不純物拡散領域 52b の形成終了後、イオン注入のマスクとして用いたレジスト膜 68 を剥離する。

【0061】

次いで、全面に、例えばスピコート法により、レジスト膜 72 を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜 72 をパターンニングすることにより、PMOS トランジスタ形成予定領域 24 を露出する開口部 74 をレジスト膜 72 に形成する。

【0062】

次いで、ゲート電極 44b 及びサイドウォール絶縁膜 66 をマスクとして、ドーパント不純物として B をイオン注入する。これにより、ゲート電極 44b にドーパント不純物が導入され、また、ソース／ドレインの深い領域を構成する不純物拡散領域 58b が形成される（図 7（a）を参照）。イオン注入の条件は、例えば、イオンの加速エネルギーを 2 keV、ドーズ量を $4 \times 10^{15} \text{ cm}^{-2}$ とすることができる。

【0063】

不純物拡散領域 58b の形成終了後、イオン注入のマスクとして用いたレジスト膜 72 を剥離する。

【0064】

次いで、例えば RTA 法による熱処理を行い、NMOS トランジスタ及び PMOS トランジスタそれぞれのエクステンション領域 52a、58a、不純物拡散領域 52b、58b 中のドーパント不純物を活性化する。また、このときの熱処理により、抵抗素子 46 中のドーパント不純物も活性化される。RTA 法による

熱処理の条件は、例えば、窒素雰囲気下、加熱温度を1000℃、加熱時間を5秒間とすることができる。こうして、NMOSトランジスタについて、エクステンション領域52aと不純物拡散領域52bとから構成されるエクステンションソース/ドレイン構造のソース/ドレイン拡散層52が形成される。また、PMOSトランジスタについて、エクステンション領域58aと不純物拡散領域58bとから構成されるエクステンションソース/ドレイン構造のソース/ドレイン拡散層58が形成される（図7（b）を参照）。

【0065】

次いで、全面に、ゲート電極44a、44b及びソース/ドレイン拡散層30の表面部分をシリサイド化するためのCo膜76と、TiN膜78とを順次堆積する（図7（c）を参照）。

【0066】

次いで、例えばRTA法による熱処理によりCo膜76をシリサイド化する。この際、サイドウォール66、素子分離膜12、抵抗素子46を覆うシリコン窒化膜62上のCo膜76は、その下地の酸化膜とは反応しない。これにより、ゲート電極44a、44b、ソース/ドレイン拡散層52、58上に堆積されたCo膜76のみが自己整合的にシリサイド化され、ゲート電極44a、44b、ソース/ドレイン拡散層52、58上に、CoSi₂膜78が選択的に形成される（図8（a）を参照）。抵抗素子46は、シリコン酸化膜60及びシリコン窒化膜62に覆われているため、シリサイド化反応から保護される。

【0067】

次いで、ウェットエッチングによりTiN膜78と未反応のCo膜76とを除去してシリサイドプロセスを完了する（図8（b）を参照）。

【0068】

こうして、CMOSトランジスタを構成するNMOSトランジスタ82及びPMOSトランジスタ84とともに、シリサイド化されていないポリシリコンからなる抵抗素子46が製造される。本実施形態による半導体装置の製造方法により、シリサイド化されていないポリシリコンからなる抵抗素子46として、例えば1kΩ/□程度のシート抵抗を有するものを得ることができる。

【0069】

このように、本実施形態によれば、ポリシリコン膜 32 上に、抵抗素子形成予定領域 36 を露出する開口部 38 を有するレジスト膜 34 を形成し、開口部 38 から露出するポリシリコン膜 32 に対して、抵抗素子の抵抗値を調整するために、レジスト膜 34 をマスクとしてドーパント不純物のイオン注入を行い、イオン注入後にレジスト膜 34 を剥離し、ポリシリコン膜 32 をエッチングすることにより、ポリシリコン膜 32 のドーパント不純物をイオン注入した領域に抵抗素子 46 を形成し、ポリシリコン膜 32 のトランジスタ形成予定領域 16、24 にゲート電極 44a、44b を形成するので、トランジスタのエクステンション領域等のシリコン基板表面の後退を抑制することができる。

【0070】

抵抗素子 46 とともに形成する NMOS トランジスタ 82 及び PMOS トランジスタ 84 のエクステンション領域 52a、58a 等のシリコン基板 10 表面の後退を抑制することができるので、エクステンション領域 52a、58a のイオン注入深さを浅くすることができる。これにより、ドーパント不純物のゲート下への回り込みを抑制することができ、実効チャンネル長の短縮を抑制することができる。

【0071】

また、エクステンション領域 52a、58a とトランジスタのゲート電極 44a、44b との境界における強電界の発生を抑制し、ホットキャリアの発生を抑制することができる。

【0072】

さらに、エクステンション領域 52a、58a のイオン注入の際に、エクステンション領域 52a、58a とゲート電極 44a、44b との境界にイオンが集中するパンチスルーの発生を抑制することができる。

【0073】

また、本実施形態によれば、NMOS トランジスタ形成予定領域 16 及び PMOS トランジスタ形成予定領域 24 のポリシリコン膜 32 にドーパント不純物をイオン注入する前に、ゲート電極 44a、44b を形成するので、NMOS トラ

ンジスタ 82 及び PMOS トランジスタ 84 のゲート電極 44a、44b を容易に同一形状に形成することができる。

【0074】

以上により、トランジスタとともに抵抗素子を有する半導体装置を製造する場合に、高い性能を有する半導体装置を製造することができる。

【0075】

[変形実施形態]

本発明の上記実施形態に限らず種々の変形が可能である。

【0076】

例えば、上記実施形態では、CMOS トランジスタとともに一つの抵抗素子を形成する場合を例に説明したが、複数の抵抗素子を形成してもよい。この場合、複数の抵抗素子を形成すべき領域のポリシリコン膜のそれぞれについて、レジスト膜をマスクとしてドーパント不純物をイオン注入し、抵抗素子の抵抗値の調整を行う。この際、抵抗素子毎にマスクとなるレジスト膜を形成し、必要に応じてイオン注入するドーパント不純物の種類、ドーズ量を変えて抵抗値の異なる複数の抵抗素子を形成することもできる。

【0077】

また、上記実施形態では、抵抗素子の抵抗値の調整するために、ドーパント不純物としてBをイオン注入する場合を例に説明したが、Bに限定されるものではなく、そのほかP等のドーパント不純物を抵抗素子の抵抗値を調整するためのドーパント不純物としてイオン注入してもよい。

【0078】

また、上記実施形態では、NMOS トランジスタとPMOS トランジスタとを有するCMOS トランジスタとともに抵抗素子を形成する場合を例に説明したが、NMOS トランジスタ又はPMOS トランジスタのいずれかとともに、抵抗素子を形成する場合についても本発明を適用することができる。

【0079】

また、上記実施形態では、シリコン酸化膜とシリコン窒化膜との積層構造のサイドウォール絶縁膜を形成する場合を例に説明したが、サイドウォール絶縁膜の

構造はこれに限定されるものではない。

【0080】

また、上記実施形態では、抵抗素子の抵抗値を調整するためのイオン注入と、エクステンション領域を形成するためのイオン注入を別々に行ったが、イオン注入の条件を同一にできる場合には、両者を同時に行ってもよい。この場合、NMOSトランジスタ形成予定領域又はNMOS形成予定領域と、抵抗素子とを露出するレジスト膜をマスクとして、ドーパント不純物のイオン注入を行う。抵抗素子の抵抗値を調整するためのイオン注入と、エクステンション領域を形成するためのイオン注入を同時に行うことにより、製造工程の数を減ずることが可能である。

【0081】

また、上記実施形態では、抵抗素子の材料としてポリシリコンを用いたが、抵抗素子の材料はこれに限定されるものではない。ゲート電極材料として用いることができ、ドーパント不純物を導入することによりその抵抗値を調整することができる種々の半導体材料を抵抗素子の材料として用いることができる。

【0082】

【発明の効果】

以上の通り、本発明によれば、半導体基板上に半導体膜を形成し、半導体膜の所定の領域にドーパント不純物を導入し、半導体膜をパターンニングすることにより、ドーパント不純物が導入された半導体膜からなる抵抗素子と、ドーパント不純物が導入されていない半導体膜からなるゲート電極とを形成するので、同一基板上に形成するトランジスタの特性への影響を抑制しつつ、抵抗素子を形成することができる。

【0083】

また、ドーパント不純物が導入されていない半導体膜からなるゲート電極を形成した後に、ゲート電極にドーパント不純物を導入するので、導電型の異なるトランジスタのゲート電極を容易に同一形状に形成することができる。

【図面の簡単な説明】

【図1】

ゲート電極周辺のシリコン基板表面が後退した様子を観察した透過型電子顕微鏡写真を示す図である。

【図 2】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 6】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 7】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 8】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【符号の説明】

1 0…シリコン基板

1 2…素子分離膜

1 4…レジスト膜

1 6…NMOS トランジスタ形成予定領域

1 8…開口部

2 0 … p 型ウェル
2 2 …レジスト膜
2 4 …PMOS トランジスタ形成予定領域
2 6 …開口部
2 8 … n 型ウェル
3 0 …ゲート絶縁膜
3 2 …ポリシリコン膜
3 4 …レジスト膜
3 6 …抵抗素子形成予定領域
3 8 …開口部
4 0 …シリコン酸化膜
4 2 …レジスト膜
4 4 a、4 4 b …ゲート電極
4 6 …抵抗素子
4 8 …レジスト膜
5 0 …開口部
5 2 …ソース／ドレイン拡散層
5 2 a …エクステンション領域
5 2 b …不純物拡散領域
5 4 …レジスト膜
5 6 …開口部
5 8 …ソース／ドレイン拡散層
5 8 a …エクステンション領域
5 8 b …不純物拡散領域
6 0 …シリコン酸化膜
6 2 …シリコン窒化膜
6 4 …レジスト膜
6 6 …サイドウォール絶縁膜
6 8 …レジスト膜

7 0 …開口部

7 2 …レジスト膜

7 4 …開口部

7 6 …C o 膜

7 8 …T i N 膜

8 0 …C o S i ₂ 膜

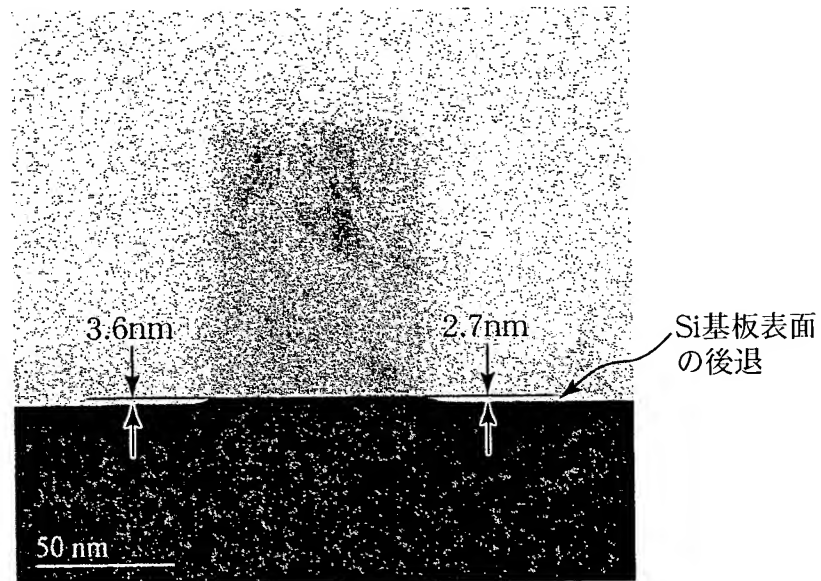
8 2 …NMOS トランジスタ

8 4 …PMOS トランジスタ

【書類名】 図面

【図 1】

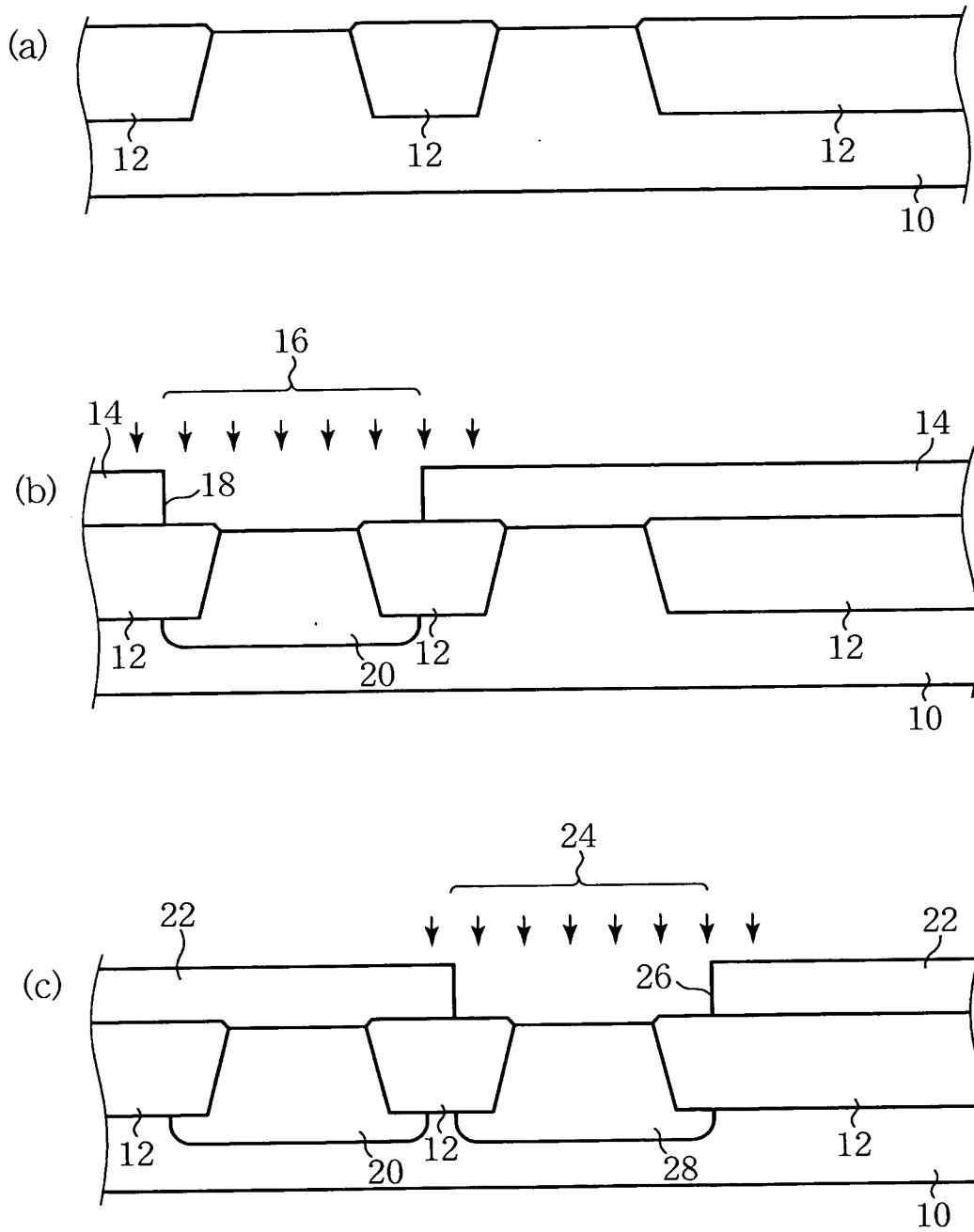
ゲート電極周辺の様子を観察した透過型電子顕微鏡写真を示す図



トランジスタTEM像

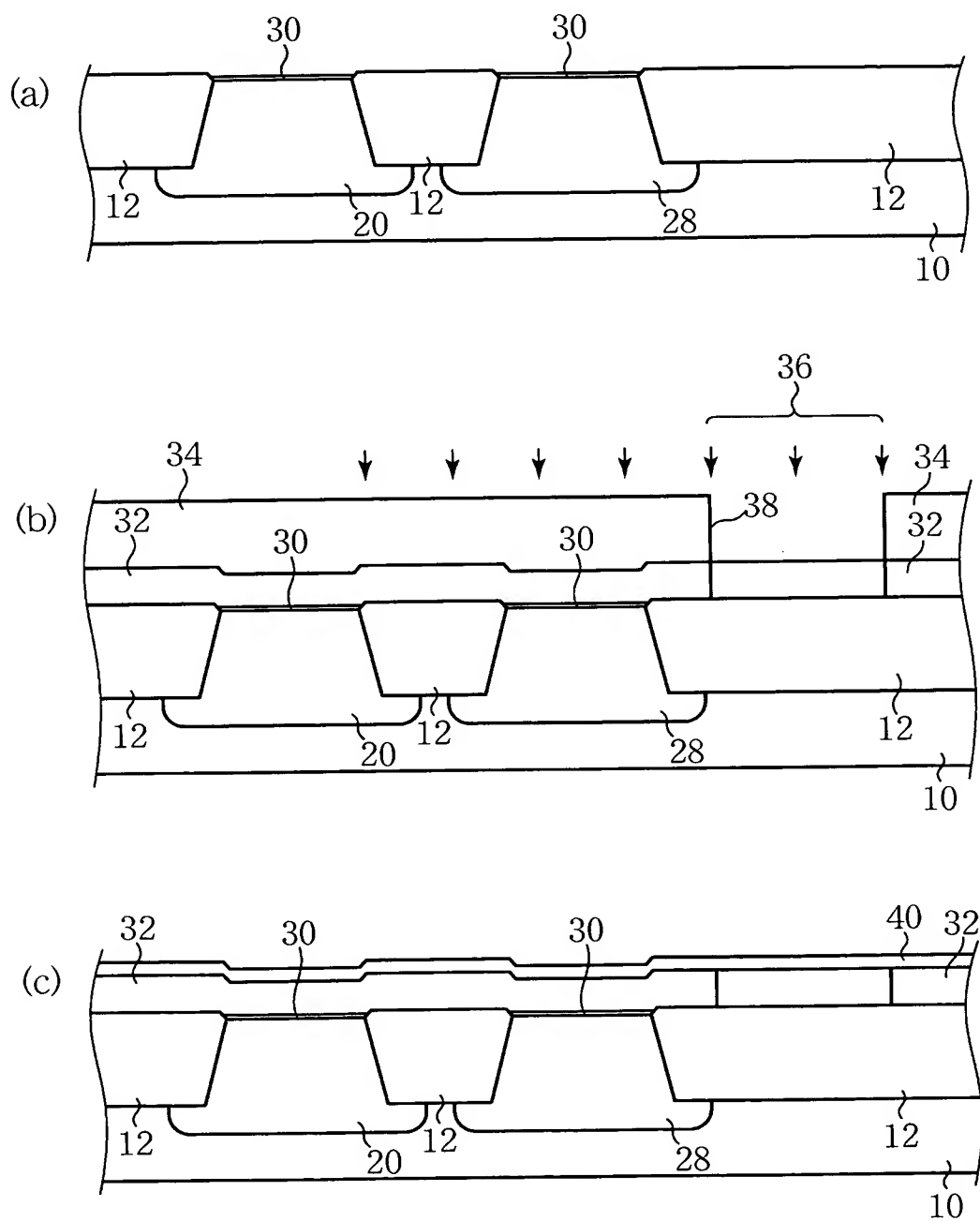
【図 2】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その1)



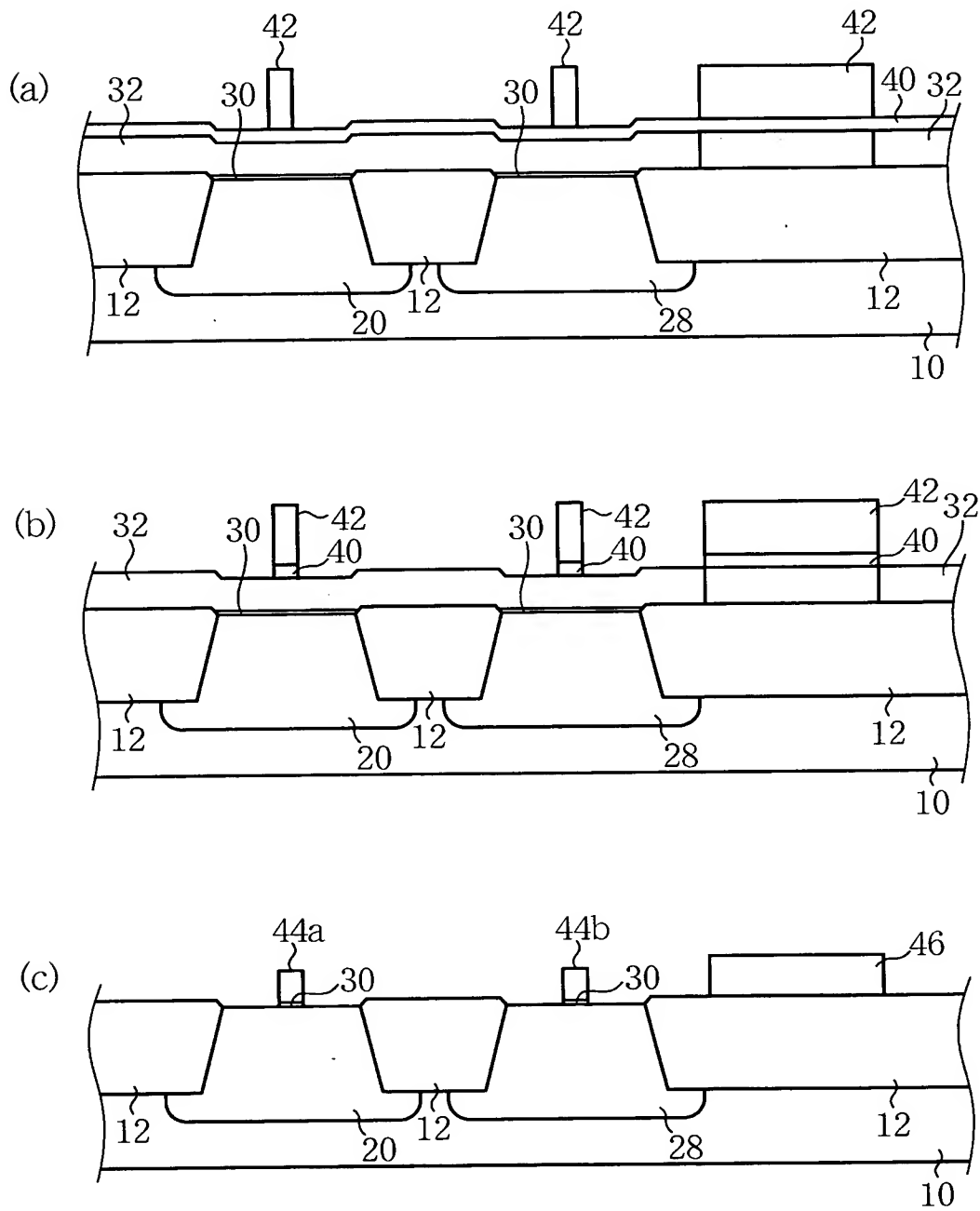
【図 3】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その2)



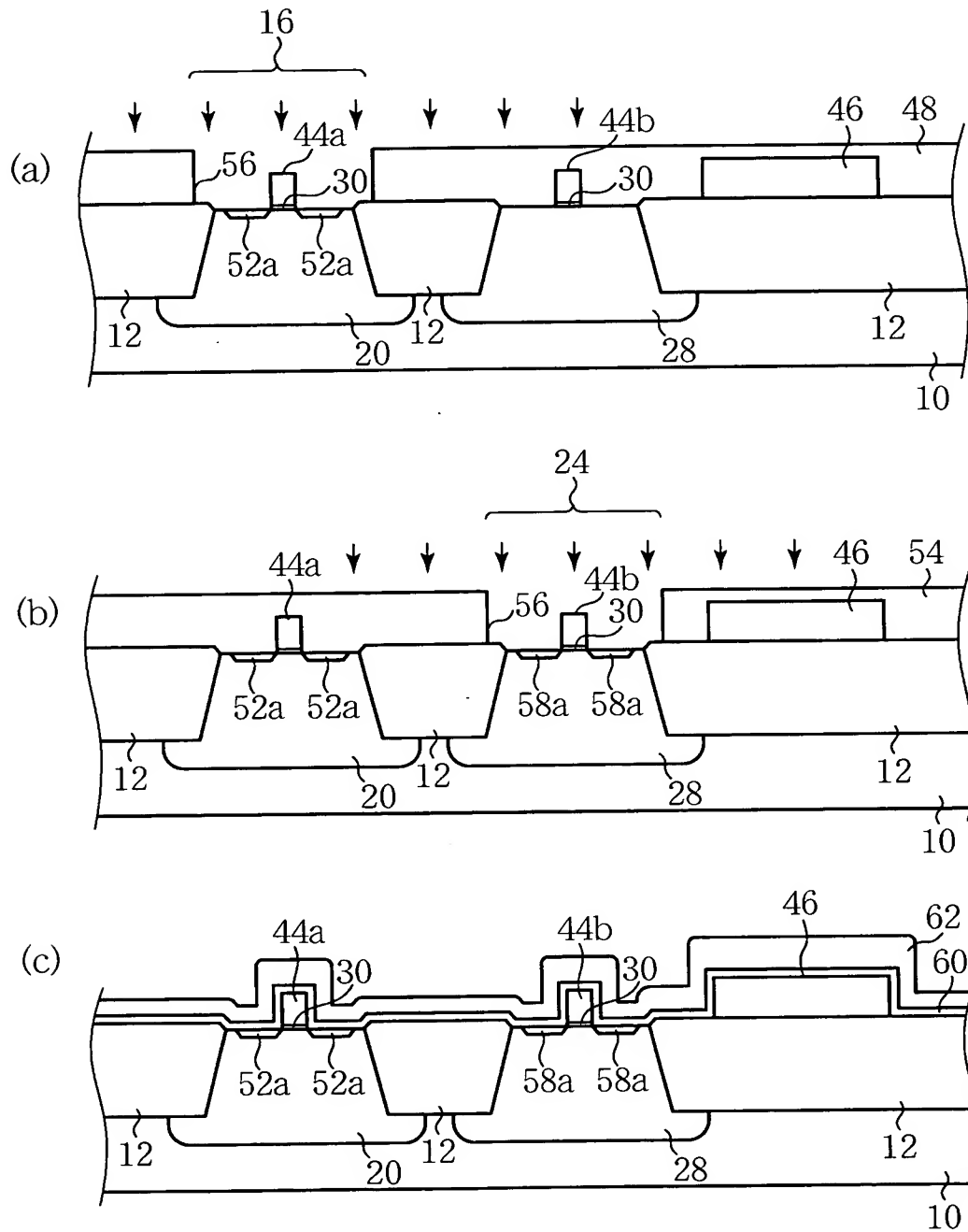
【図 4】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その 3)



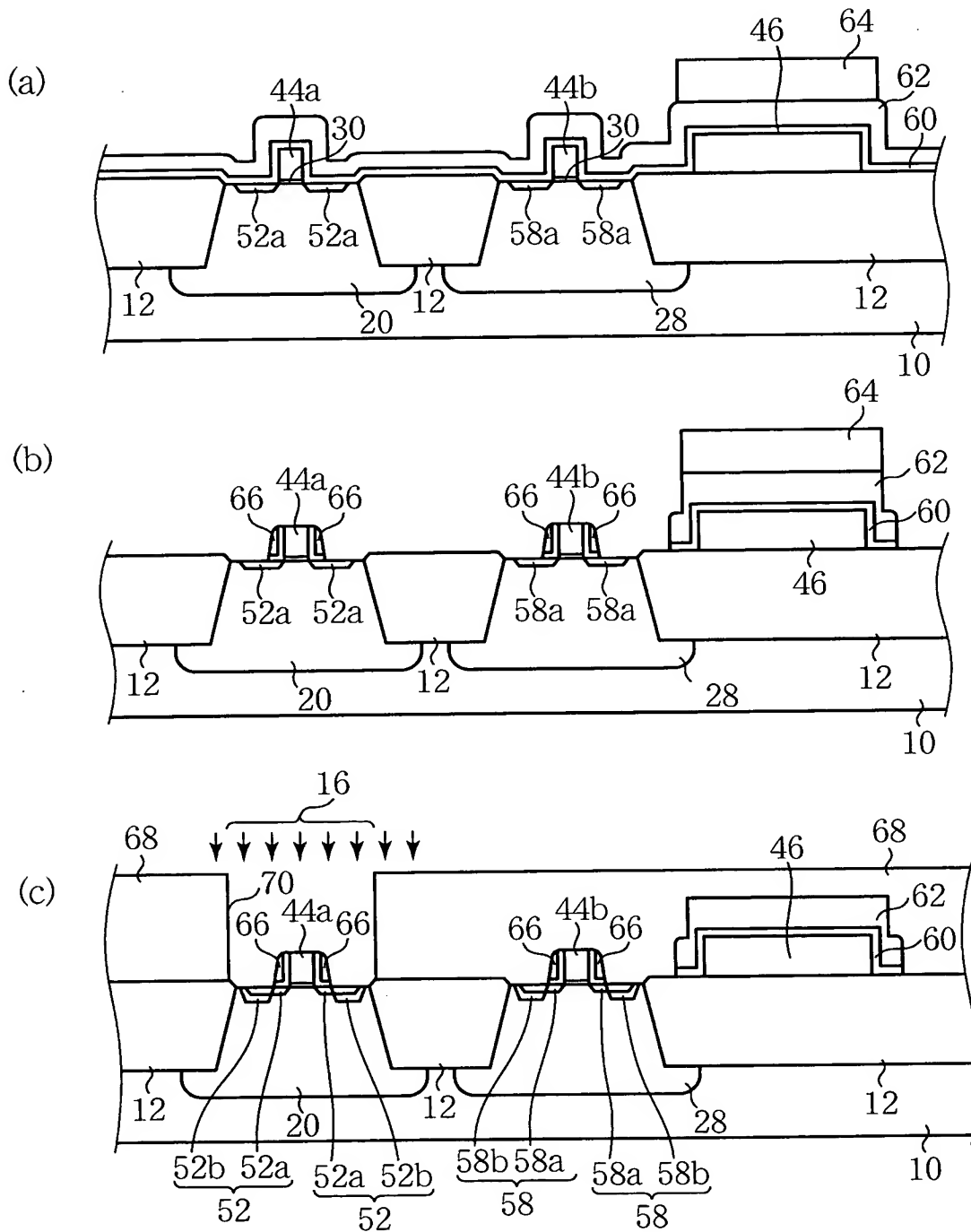
【図 5】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その 4)



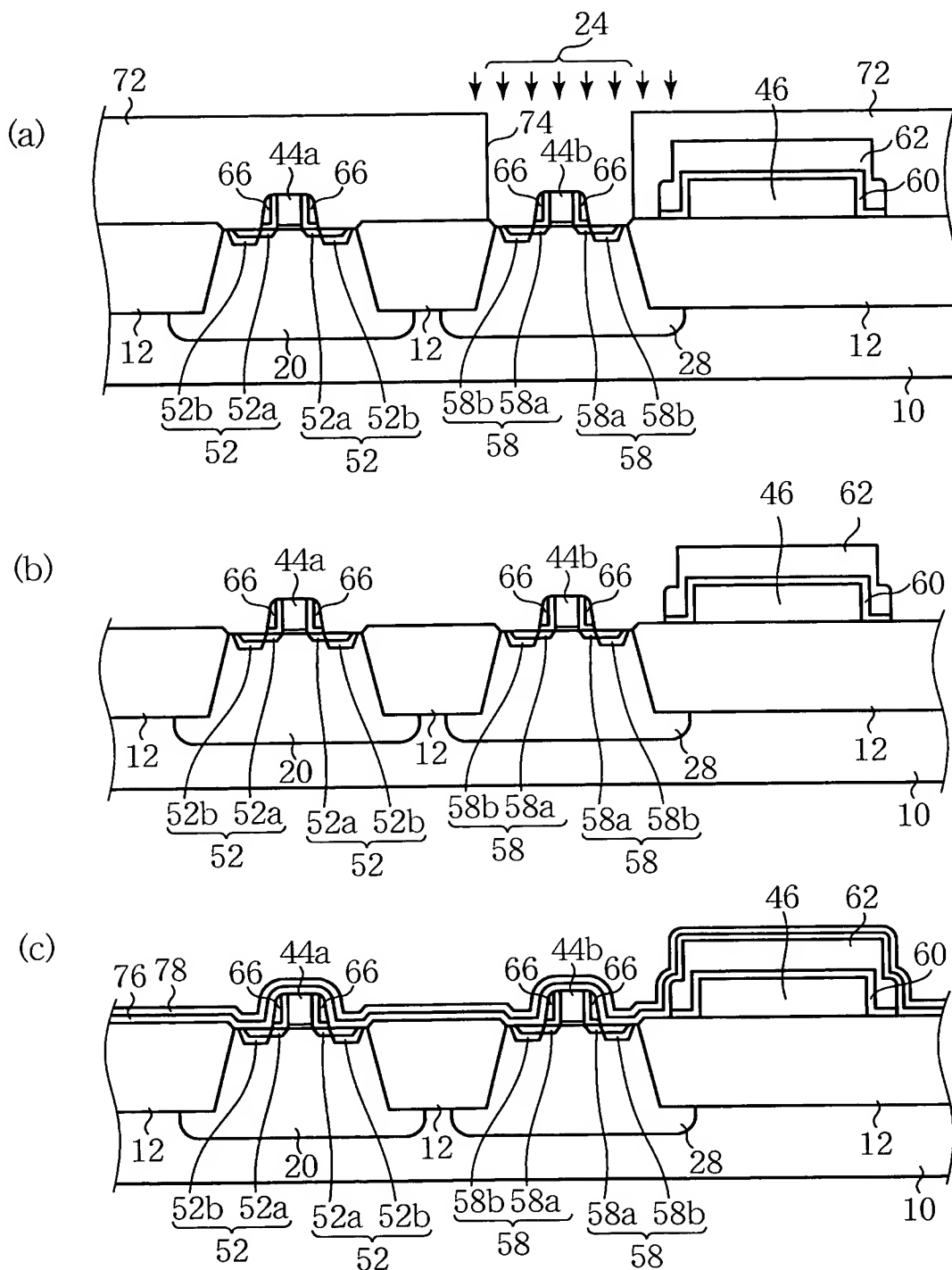
【図 6】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その 5)



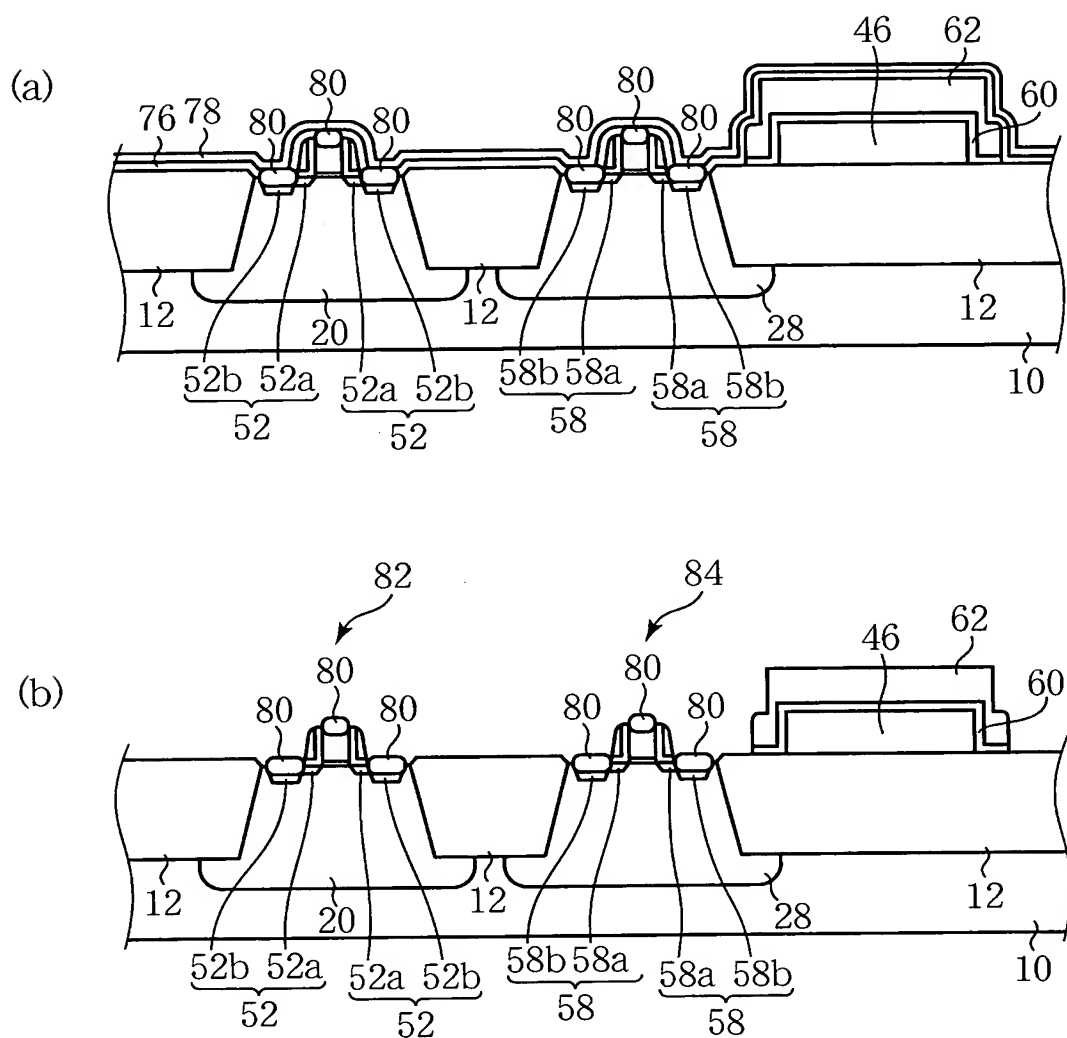
【図 7】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その 6)



【図 8】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その7)



【書類名】 要約書

【要約】

【課題】 同一基板上に形成するトランジスタの特性への影響を抑制しつつ、抵抗素子を形成しうる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 1 0 上にポリシリコン膜 3 2 を形成する工程と、ポリシリコン膜 3 2 の抵抗素子形成予定領域 3 6 にドーパント不純物を導入する工程と、ポリシリコン膜 3 2 をパターニングすることにより、ドーパント不純物が導入されたポリシリコン膜 3 2 からなる抵抗素子 4 6 と、ドーパント不純物が導入されていないポリシリコン膜 3 2 からなるゲート電極 4 4 a、4 4 b とを形成する工程とを有する。

【選択図】 図 3

特願 2 0 0 2 - 3 1 7 3 2 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社